

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-273559

(43)Date of publication of application : 20.10.1995

(51)Int.Cl.

H03F 1/02

H03F 1/32

H03F 3/16

H03F 3/20

(21)Application number : 06-056428

(71)Applicant : NEC ENG LTD

(22)Date of filing : 28.03.1994

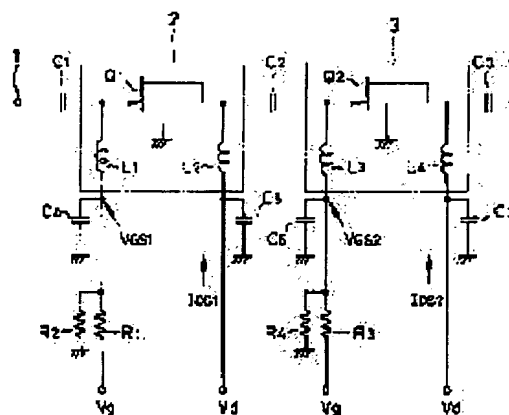
(72)Inventor : MIZOGUCHI JUNICHI

(54) POWER AMPLIFIER

(57)Abstract:

PURPOSE: To obtain the power amplifier with a high efficiency and small distortion characteristic.

CONSTITUTION: A bias point of transistors (TRs) Q1, Q2 for a pre-stage amplifier circuit 2 and a post-stage amplifier circuit 3 is set by resistors R1-R4 so that output levels of a third-order cross modulation distortion circuit (IM3) are nearly equal to each other and the phase difference is 180° . A bias point of a post-stage circuit 3 is set deeper than a bias V_0 being nearly a half of a V_P of the TRs and that of a pre-stage circuit 2 is set shallower, then the post-stage circuit 3 acts like a class AB operation amplifier and a high efficiency is obtained.



LEGAL STATUS

[Date of request for examination] 05.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3175071

[Date of registration] 06.04.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 06.04.2004

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 7 3 5 5 9

(43) 公開日 平成 7 年 (1 9 9 5) 1 0 月 2 0 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H03F 1/02		7509-5J		
1/32		8839-5J		
3/16	A	8839-5J		
3/20		8839-5J		

審査請求 未請求 請求項の数 4 O L (全 4 頁)

(21) 出願番号 特願平 6 - 5 6 4 2 8

(22) 出願日 平成 6 年 (1 9 9 4) 3 月 2 8 日

(71) 出願人 0 0 0 2 3 2 0 4 7

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目 1 8 番 2 1 号

(72) 発明者 溝口 順一

東京都港区西新橋三丁目 2 0 番 4 号 日本

電気エンジニアリング株式会社内

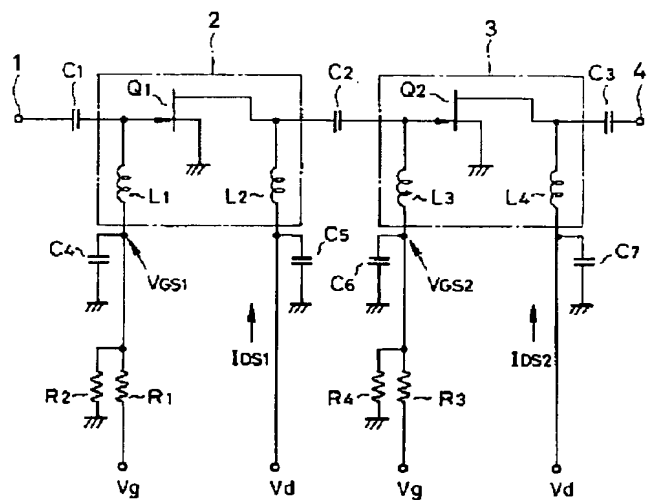
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 電力増幅器

(57) 【要約】

【目的】 効率が良くかつ歪特性が小さい電力増幅器を提供する。

【構成】 前段増幅回路 2 と後段増幅回路 3 との各トランジスタ Q 1 , Q 2 のバイアス点を、3 次混変調歪 (I M 3) の出力レベルが略等しくかつ位相差が 1 8 0 ° となるように、抵抗 R 1 ~ R 4 にて設定する。後段回路 3 のバイアス点はトランジスタの V P の約半分のバイアス V 0 よりも深くし、前段回路 2 のそれは浅くすることで、後段回路 3 は A B 級動作となり、高効率となる。



【特許請求の範囲】

【請求項 1】 電界効果トランジスタを夫々増幅素子として使用しかつ互いに縦続接続された前段及び後段の電力増幅回路を有する電力増幅器であって、前記前段及び後段の増幅回路の電界効果トランジスタの各動作バイアス点を、3 次混変調歪のレベルが略等しくかつその相対位相差が略 180 度となるように選定してなることを特徴とする電力増幅器。

【請求項 2】 前記後段の電力増幅回路の動作バイアス点は前記前段の電力増幅回路のそれよりも深く設定されていることを特徴とする請求項 1 記載の電力増幅器。 10

【請求項 3】 前記動作バイアス点が 0 のときの前記電界効果トランジスタの動作電流の略 1/2 の電流を流すバイアス点 V_0 を境にして、前記後段の電力増幅回路の動作バイアス点はより深く、前記前段の電力増幅回路のそれはより浅く設定されていることを特徴とする請求項 2 記載の電力増幅器。

【請求項 4】 前記バイアス点 V_0 と前記前段及び後段の電力増幅回路の各バイアス点との差の絶対値は略等しく設定されていることを特徴とする請求項 3 記載の電力増幅器。 20

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電力増幅器に関し、特に電界効果トランジスタを夫々増幅素子として使用しかつ互いに縦続接続された前段及び後段の電力増幅回路を有する電力増幅器に関する。

【0002】

【従来の技術】通常の電力増幅器は、図 4 に示す如く、ある規定された出力電力を出力する後段の電力増幅回路 3 と、その出力電力を得るために必要な入力電力を得る駆動用の前段電力増幅回路 2 とからなっている。尚、1 は入力部であり、4 は出力部である。 30

【0003】これ等の互いに縦続接続された前段及び後段の各増幅回路 2 及び 3 は、増幅素子として電界効果トランジスタが用いられる。そして、規定の出力電力が得られる様に、電力増幅回路 2、3 の各動作バイアス（トランジスタのゲートソース間電圧 V_{DS} 、ドレイン電流 I_{DS} 等）を、各々の 3 次混変調歪（以下、IM3 と称す）特性の最良点に設定せず、効率が最良となるバイアス点に設定している。 40

【0004】ここで、IM3 とは、電力増幅器に 2 つの RF 信号波を入力部 1 から印加した場合に、出力部 4 において増幅されたこれら 2 つの信号の近傍に発生する 2 つの歪信号である。この 2 つの RF 信号波の各周波数を f_1 、 f_2 とすると、出力部 4 においては、増幅された本来の f_1 、 f_2 の信号の他に、 $(2f_1 - f_2)$ 及び $(2f_2 - f_1)$ 等の不要な歪波が生じ、これを IM3 と称している。

【0005】以下に、GaAs FET 素子を増幅素子と 50

して使用した場合の IM3 の特徴について検討する。

【0006】図 2 (a) に GaAs FET の静特性を示し、縦軸はドレイン電流 I_{DS} 、横軸はゲートソース間電圧 V_{GS} である。 $V_{GS} = 0V$ のときのドレイン電流を I_{DSS} 、 $I_{DS} = 0A$ のときの V_{GS} を V_P とすると、IM3 特性が小さくなりバイアス点は I_{DS} が $(1/2) I_{DSS}$ 近傍の V_{GS} であり、その電圧を V_0 とする (V_0 は約 $(1/2) V_P$)。

【0007】図 2 (b) に GaAs FET の IM3 特性を示す。横軸は IM3 の出力レベル、横軸はゲートソース間電圧 V_{GS} である。 $V_{GS} = V_0$ の時 IM3 の出力レベルは最も小さく、 $V_{GS} > V_0$ 及び $V_{GS} < V_0$ で IM3 出力レベルは単調増加する。

【0008】図 2 (c) は図 2 (b) の IM3 出力レベルの位相を示す。縦軸は相対位相、横軸はゲートソース間電圧 V_{GS} であり、 $V_{GS} = V_0$ の時の位相を 0° として相対位相で表してある。

【0009】図 2 からわかるように、 $V_{GS} = V_0$ の時、即ちほぼ $I_{DS} = (1/2) I_{DSS}$ にバイアスを設定すると IM3 出力レベルが小さくなっている。しかしながら、電力増幅器は消費電力を小さく、効率を良くして動作させることも重要である。そのため AB 級動作をさせるようになっている。即ち、各増幅素子のゲートソース間電圧を図 2 の V_2 近辺に設定することになり、電力増幅器 2 及び 3 のバイアス点は $I_{DS} < (1/2) I_{DSS}$ に設定される。よって、効率は良くなるが、IM3 特性は悪くなる。

【0010】また、電力増幅回路の非線形入出力特性に起因する出力歪を補償する技術として、特開昭 56-66909 号公報に開示の例があり、図 5 に示す如く、電力増幅回路 2 2 の前段にプレディストータ 2 1 を設けて、電力増幅回路 2 2 の非線形入出力特性の逆特性で入力信号を予め歪ませておき、電力増幅回路 2 2 の出力部 4 では歪が補償された信号を得る構成となっている。

【0011】

【発明が解決しようとする課題】この図 5 に示した構成では、プレディストータ 2 1 として、電力増幅回路 2 2 の非線形入出力特性の逆特性を有する回路構成が必要となり、回路構成が複雑化するという欠点がある。

【0012】また、図 4 を用いて説明した 2 段の電力増幅回路構成では、電力効率を良くするために、3 次混変調歪特性 (IM3) を犠牲にしなければならないという欠点がある。

【0013】本発明の目的は、特別なプレディストータ等の歪補償回路を付加することなく簡単な構成で IM3 補償を行うと共に電力効率をも良好とし得る電力増幅器を提供することである。

【0014】

【課題を解決するための手段】本発明によれば、電界効果トランジスタを夫々増幅素子として使用しかつ互いに

縦続接続された前段及び後段の電力増幅回路を有する電力増幅器であって、前記前段及び後段の増幅回路の電界効果トランジスタの各動作バイアス点を、3次混変調歪のレベルが略等しくかつその相対位相差が略180度となるように選定してなることを特徴とする電力増幅器が得られる。

【0015】

【作用】前段及び後段電力の増幅回路のFETの各動作バイアス点を、IM3歪のレベルが略等しくかつその相対位相差が略180度になる様に選定することによつて、互いのIM3歪を打消すようにし、後段の電力増幅回路のバイアス点はより深く設定できることになるために、AB級動作が可能となつて、電力効率も良くなる。

【0016】

【実施例】以下に本発明の実施例について図面を用いて説明する。

【0017】図1は本発明の実施例を示す回路図である。図において、入力部1からの信号はカップリングコンデンサC1を介して前段の電力増幅回路2へ入力される。この増幅出力はカップリングコンデンサC2を介して後段の電力増幅回路3へ入力されて規定の電力となり、カップリングコンデンサC3を介して出力部4へ導出される。

【0018】各増幅回路2、3は増幅素子として電界効果トランジスタ(FET)Q1、Q2が用いられており、各トランジスタQ1、Q2のドレイン、ゲートには交流カット用のチョークコイルL1~L4を夫々介して、バイアスが付与されている。また、各トランジスタQ1、Q2のソースはアースされている。

【0019】各トランジスタQ1、Q2のドレインバイアスとしては、電源VdがチョークコイルL2、L4を介して印加されており、またゲートバイアスとしては、電源Vgを抵抗R1、R2及びR3、R4により夫々分圧した各分圧出力がチョークコイルL1、L3を介して印加されている。尚、コンデンサC4~C7は交流接地するためのものである。

【0020】トランジスタQ1、Q2としてGaAsFETを用いた場合、その歪特性は、図2に示す如く、VGSが略(1/2)VPに相当するV0においてIM3出力レベルが最小となり、このV0を境にしてIM3出力位相が反転している。

【0021】そこで、2段縦続接続型電力増幅器を構成している前段の増幅回路2と後段の増幅回路3との各動作バイアス点を、IM3出力レベルが略等しくなりかつ相対位相差が180°となるように、ゲートソース間電圧VGS1、VGS2を分圧回路(R1~R4)にて選定するものである。

【0022】すなわち、各分圧回路の抵抗R1~R4により、VGS1=V1、VGS2=V2となるように選定す

ることで、互いの歪特性がキャンセルされてIM3特性が改善可能となるのである。

【0023】図3に上記の方法でバイアス設定したときのIM3特性をベクトル表示で示している。図3(a)に示す様に、位相差が互いに180°になることが理想的であるが、図3(b)に示す如く位相差が180°からわずかにずれていても、IM3特性は大幅に改善されることが判る。

【0024】尚、9は増幅器3によるIM3、10は増幅器2によるIM3、11は合成されたIM3を夫々示す。

【0025】また、後段電力増幅回路3のバイアス点をV0よりも深いV2点に選ぶことにより、この後段電力増幅回路3はAB級動作とすることができ、効率の良い動作の電力増幅器となるものである。

【0026】電力増幅回路3に用いるGaAsFETQ2の出力電力を40dBm(10W)、利得を10dB(10倍)とすると、前段の電力増幅回路2のGaAsFETQ1としては、Q2と同一プロセスで製造され、しかも出力電力が1/10の30dBm(1W)のGaAsFETを用いることができる。

【0027】

【発明の効果】叙上の如く、本発明によれば、単にバイアスの設定のみによってIM3歪を前段と後段の増幅回路で互いに打消すことができ、更に後段の電力増幅回路のバイアス点を前段のそれよりも深くすることで、高効率のAB級電力増幅器とすることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例の回路図である。

【図2】(a)はGaAsFETの静特性、(b)は同じくIM3の特性、(c)は同じくIM3の位相特性を夫々示す図である。

【図3】本発明の実施例におけるIM3の特性をベクトル表示した図である。

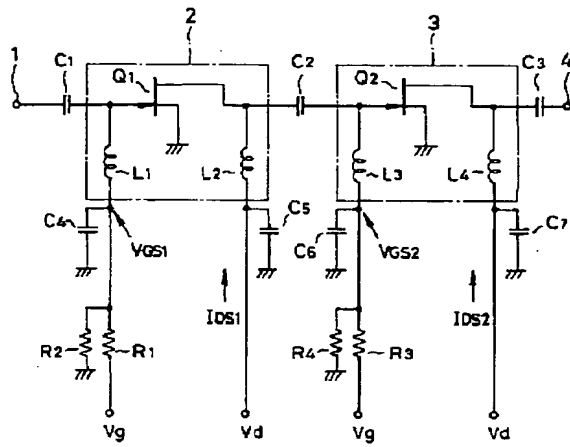
【図4】2段型電力増幅器の概略構成を示す図である。

【図5】従来の電力増幅器の一例の概略構成を示す図である。

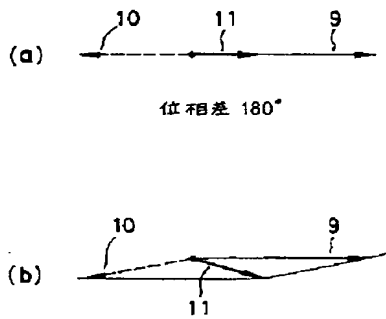
【符号の説明】

- 1 入力部
- 2 前段電力増幅回路
- 3 後段電力増幅回路
- 4 出力部
- C1~C3 カップリングコンデンサ
- C4~C7 交流接地用コンデンサ
- L1~L4 交流阻止用チョークコイル
- Q1、Q2 GaAsFET
- R1~R4 分圧抵抗

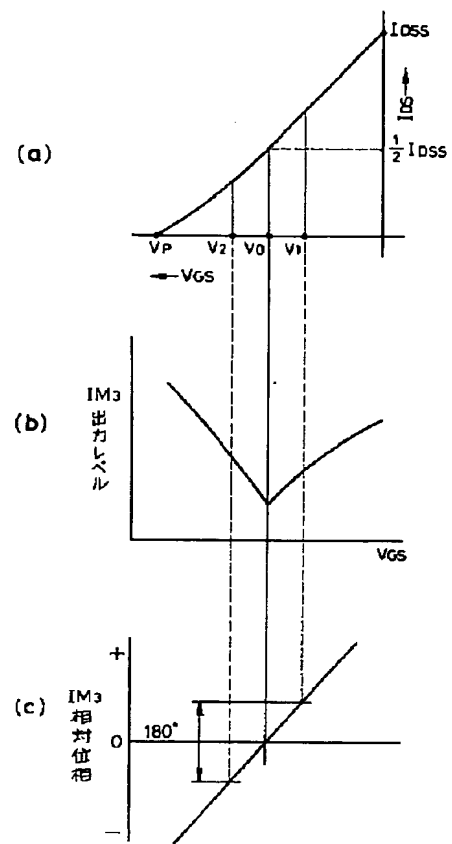
【図 1】



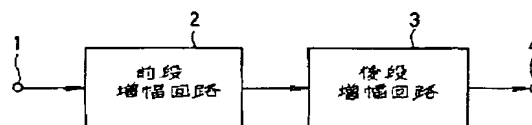
【図 3】



【図 2】



【図 4】



【図 5】

